

(12)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-191442

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl.<sup>5</sup>

H 0 4 L 12/48

12/26

識別記号

庁内整理番号

F I

技術表示箇所

8529-5K

H 0 4 L 11/ 20

Z

8948-5K

11/ 12

審査請求 未請求 請求項の数20(全 6 頁)

(21)出願番号 特願平4-171314

(22)出願日 平成4年(1992)6月29日

(31)優先権主張番号 9 1 0 0 6 1 9

(32)優先日 1991年6月28日

(33)優先権主張国 ベルギー (B E)

(71)出願人 590005003

アルカテル・エヌ・ブイ

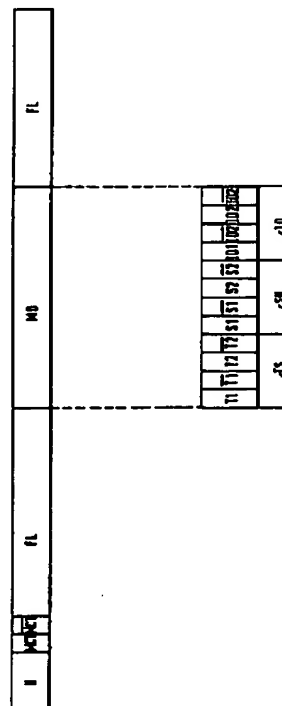
ALCATEL NEAMLOZE VE  
NNOOTSHAPオランダ国、1077 エックスエックス・ア  
ムステルダム、ストラビンスキーラーン  
341(72)発明者 ヨハネス・アントニウス・マリア・ファ  
ン・テテリングオランダ国、エヌエル - 4761 エムビ  
ー・ゼベンベルゲン、ルヒテンブルグ 56

(74)代理人 弁理士 鈴江 武彦

最終頁に続く

(54)【発明の名称】 A T M接続を試験する方法および装置

(57)【要約】

【目的】 本発明は、簡単な方法でA T M接続の特性を  
試験する方法を得ることを目的とする。【構成】 一連の試験セルが送信されて試験され、セル  
の情報部分MDは接続の予め定められた特性を認識する  
ために2つの部分を含み、第2の部分は第1のものの反  
転したものであり、各情報部分は送信時間の識別子T  
S、A T M接続におけるシーケンス数S Nおよび接続数  
I Dを含み、これらの情報は反転されたまたはされない  
形態であることを特徴とする。

## 【特許請求の範囲】

【請求項1】 ATMネットワークの2点間のATM接続の特性を試験する方法において、一連の試験セルが送信されて試験され、前記セルの情報部分は接続の予め定められた特性を認識するために適切な方法で組立てられていることを特徴とするATM接続特性の試験方法。

【請求項2】 各試験セルの情報部分は2つの部分を含み、第2の部分は第1のものの反転したものである請求項1記載の方法。

【請求項3】 両部分は第1の部分の各オクテットが第2の部分の関連した反転オクテットによって直ぐ後続されるように混合される請求項2記載の方法。

【請求項4】 各情報部分は少なくとも送信時間の識別子、ATM接続におけるシーケンス数および接続数を含み、これらの情報は反転されたまたはされない形態であり、これらのデータを全く含まない情報の残りのものは前記データが反転されたまたはされない形態の識別子を含んでいる請求項1記載の方法。

【請求項5】 ATM試験セルのデータシーケンスを発生する装置を備えた試験セル発生器において、装置はデータシーケンスが非反転形態または反転形態で選択的に少なくとも部分的に生成されるように実行されることを特徴とする試験セル発生器。

【請求項6】 データシーケンスはオクテットの形態下で構成されており、オクテットごとに可能に反転されることを特徴とする請求項5記載の試験セル発生器。

【請求項7】 装置は、セルクロックによって制御されるクロック回路、接続数発生器、書込みおよび読取りメモリ、制御回路、切替え可能なインパクタおよび出力レジスタを具備していることを特徴とする請求項6記載の試験セル発生器。

【請求項8】 クロック回路、接続数発生器および書込みおよび読取りメモリは全てインパクタを介して出力レジスタと結合され、これらのユニットは全て制御回路によって制御されていることを特徴とする請求項7記載の試験セル発生器。

【請求項9】 それは情報部分が少なくともクロック回路、メモリおよび接続数発生器によって与えられた送信時間の時間識別子、ATM接続におけるシーケンス数および接続数を含む試験セルを生成することを特徴とする請求項8記載の試験セル発生器。

【請求項10】 前記メモリはまた試験セルのヘッダを発生することを特徴とする請求項8記載の試験セル発生器。

【請求項11】 それは試験セルとセルを比較することによって入来したセルが評価回路に送られるか否かを発見することができるセルヘッダ認識回路を含んでいることを特徴とするATM試験セルを試験する評価回路。

【請求項12】 試験セルのデータはオクテットごとに

反転され、受信されたデータが最初に反転されず、その後反転されるか、或はその逆であるかを発見するための回路が設けられていることを特徴とする請求項11記載の評価回路。

【請求項13】 試験セルは送信時間の時間識別子を含み、試験セルから前記時間識別子を抽出し、局所的な時間識別子により差を計算するための回路が設けられていることを特徴とする請求項11記載の評価回路。

【請求項14】 セルは試験または保守セルおよび非データセルが関与している場合、付勢される第1のセル識別子を持つヘッダを備え、さらにこれらのセルは試験セルが関与している場合に付勢される前記セル識別子、セルの送信時間の時間識別子、ATM接続におけるシーケンス数および接続数を含む情報部分を含んでいることを特徴とする請求項11記載の評価回路。

【請求項15】 前記セルヘッダ認識回路は入来したセルのヘッダを基準セルのそれと比較し、これらのヘッダが等しく、第1のセル識別子が付勢された場合、それはさらに第2のセル識別子と比較し、それらが等しい場合にはセルが評価回路に送られることを示す第1の出力信号を供給することを特徴とする請求項14記載の評価回路。

【請求項16】 前記第1の出力信号はまた比較されたヘッダが等しいが、第1のセル識別子が付勢されない場合に付勢されることを特徴とする請求項15記載の評価回路。

【請求項17】 セルヘッダ認識回路は第1の出力信号が付勢された場合にも入来したセルの接続数を基準セルのそれと比較し、これらの接続数が異なっており、入来したセルの接続数にエラーがない場合に付勢された第2の出力信号を発生し、この付勢された第2の出力信号はエラーを示すことを特徴とする請求項15または16記載の評価回路。

【請求項18】 ビットエラーを検出して補正するエラー認識回路を備え、このカウントの結果は第3の出力信号によって示されることを特徴とする請求項11記載の評価回路。

【請求項19】 前記エラー認識回路はまた入来した接続数におけるビットエラーを検査し、エラー検出時に第4の出力信号を付勢することを特徴とする請求項14または18記載の評価回路。

【請求項20】 第2の出力信号は第1の出力信号および第4の出力信号が付勢されたとき、並びに第3の出力信号が予め定められたしきい値を越えたときに付勢されることを特徴とする請求項17または19記載の評価回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はATM接続の特性を試験する方法、ATM試験セルのデータシーケンスを発生する装置を備えた試験セル発生器、並びにATM試験セル

## 3

を試験する評価回路に関する。

## 【0002】

【従来の技術】ATMシステムにおいて、種々のエラーが発生し、何等かの方法で全て検出されなければならない。例えばエラーはビットまたはセル同期が行われることができないときに確実に存在する。また全ての質問に対する応答の欠如はエラーとして認識されるべきである。ATMセルの情報部分において送信エラーを検出するためのエラー保護コードを含んでいることも知られている。

## 【0003】

【発明が解決しようとする課題】エラーは全種類ではないが検出されることができる。これは疑似的にのみ発生するエラーに関する場合である。もっとも、このようなエラーはATMネットワークの2点間のATM接続の送信品質に悪影響を与える。

## 【0004】

【課題を解決するための手段】この問題に対する解決は、一連の試験セルが送信されて試験され、それらセルの情報部分は接続の予め定められた特性を認識するために適切な方法で組立てられているATM接続特性の試験方法によって達成される。この方法は請求項5記載の試験セル発生器および請求項11記載の評価回路によって行われることが好ましい。この解決方法の基本的な考えは、適切に組立てられた一連の試験セルによる試験接続の認識である。

【0005】好ましい実施例は請求項2以下の記載から明らかである。全てのATMセルのように適切に組立てられた試験セルはセルヘッダおよび情報部分を含み、本発明による情報部分は2倍の同じ内容を有し、その中にはある1つの接続におけるセルの時間識別子、接続数およびシーケンス数が存在する。内容の反復は反転形態で発生する。各オクテット(8ビットの集団)はその反転によって後続されることが好ましい。

【0006】このようにしてATM接続の実質的に全ての特性が試験されることができる。この方法はまたパリティが影響されないように情報部分においてゼロおよび1の数が等しい場合に有効である。方法はまた簡単な手段によって実行されることができる。

【0007】添付図面と共に以下の実施例の説明を参照することによって本発明の上記および別の目的および特性が明らかになり、本発明自身が最も良く理解されるであろう。

## 【0008】

【実施例】図1の第1のラインは完全なATM試験セルの構造を概略的に示す。セルは5つのオクテットまたはバイトを含むヘッダHにより開始する。このセルヘッダHはATMネットワーク内の予め定められた中地的にセルを送信するために既知の方法で使用される。このセルヘッダの構造は本発明の特徴ではなく、セルヘッダは接

## 4

続過程における目的で変化されてもよい。したがって、それは試験に含まれることができない。本発明にとって、どの種類の接続が試験されるのか、すなわち交換機内の2点間の接続が関与しているか否か、2つの離れた点の間の接続が試験されるか否か、或は組立てられ試験されたループが関与しているか否かは重要ではない。

【0009】ヘッダHは例えば接続内においてデータセルと試験および保守セルとを区別するように機能する1対のビットを含み、一方セルヘッダHに後続する情報部分の第1のオクテットMCTは保守セルと試験セルとを区別するために使用される。MCTに対して、予め定められたコードは保留されなければならない。後続するオクテット/MCTは先行したオクテットMCTの反転を表す。この反転は全てのビットが反転されるように実行される。

【0010】MCTおよび/MCT(MCTの反転)は、1またはゼロのいずれかだけを交互に含んでいる18個のオクテットによって後続される。このようなオクテットの各対はフラグFLを構成する。これらの18個のオクテットは3つの目的を有する。ゼロまたは1に接続を連続的に維持するエラーは認識されるべきである。2つのタイプのATM試験セル、すなわちデータが反転されずに送信され、それらの反転形態によって後続されるタイプ1セルと、データが反転され、後続する反転オクテットが反転されていないデータを含んでいるタイプ0セルは互いに区別されるべきである。各対のオクテットは最終的にビットエラーを検出するために使用される。

【0011】測定データMDはこれらの18個のオクテットに後続する。3つの異なる測定データ、すなわち時間識別子TS、接続中のセルのシーケンス数SNおよび接続数IDが送信される。これら3つの測定データは16ビットワードとしてそれぞれの時間送信される。タイプ1セルT1Cに対して、転送は図1に表されているようにT1、/T1、T2、/T2等の順序で行われる。

【0012】時間識別子TSは伝送時間(遅延時間)の変化を計算するために使用される。シーケンス数SNは、セルの消滅または反復を検出するために使用される。故障接続数IDは、別の接続のセルがこの接続において間違っ

て現れ、したがってセルヘッダは間違っ

て修正されることを識別する。

【0013】試験セルの残りのものは1だけまたはゼロだけを交互に含むオクテットにより完成される。情報部分全体の内側でオクテットごとに反転することによって、考慮されない状態のセルの部分はない。セルの内側において、エラーは結果的に16ビット幅による並列処理から生成されることができる。したがって、試験接続において2種類の試験セルタイプ1およびタイプ0は交互に予め定められたまたは任意の順序で使用される。図2は、上記のATMセルが生成される試験セル発生器の実

【0014】試験セル発生器TGは制御回路TCGC、読取りおよび書込みメモリMEM、接続数発生器ID、クロック回路LT、8ビットの幅を有する3状態バスTSB、インバータINVおよび出力レジスタREGを含む。

【0015】クロック回路LT、接続数発生器IDおよびメモリMEMは、付勢入力OE1、OE2、OE3を介して同じ名称の付勢信号OE1、OE2、OE3により付勢されることができ、3状態出力部を具備している。3状態バスTSBの導線は抵抗Rを介して電源VCに接続されている。クロック回路LTおよび接続数発生器IDは、反転信号SeULによって高い値から低い値またはその逆へのデータバイトの反転が行われる同じ名称の反転入力SeULを具備している。クロック回路LTはセルクロック回路CCLによって制御され、一方出力レジスタREGはバイトクロックBCLによって制御される。インバータINVは信号INVCによって非反転と反転状態との間で切替えられる。メモリMEMはバスTSBを介して制御回路TCGCにデータを送信するだけでなく、この回路からのデータを受信する。したがって、8ビット幅の両方向データ接続MDAが両回路間に設けられ、また制御回路TCGCとメモリMEMとの間には3ビット幅のアドレス接続、書込み導線MWおよび読取り導線が予想される。

【0016】既に述べられたメモリへの接続に続いて、制御回路TCGCはまた付勢信号OE1、OE2およびOE3のための出力OE1、OE2、OE3を具備し、また3状態出力の付勢のために同じ名称の反転信号SeUL用の出力SeULを具備し、セルクロックCCLおよびバイトクロックBCLのための出力CCLおよびBCLを備え、インバータINVを制御するために信号INVC用の出力INVCを備えている。

【0017】セルヘッダHのオクテットはメモリMEMによって発生され、反転せずにインバータINVを通じて供給される。2つの後続するオクテットMCTおよび/MCTは非反転形態で次々に2度メモリMEMによって発生され、反転せずに一度、また反転して一度インバータを通じて供給される。フラグFLは、3状態出力が付勢されない場合に抵抗Rの助けで、またその後インバータINVにおいて非反転および反転を交互にすることによって形成される。時間識別子はクロック回路LTによって与えられ、シーケンス番号はメモリMEMによって提供され、接続数は接続数発生器IDによって与えられる。高い値のデータバイトが2度発生されるごとに低い値のデータバイトは2度発生され、反転せずに一度および反転して一度インバータを通して供給される。メモリMEMに蓄積されたシーケンス数はそれぞれ完了した送信後に制御回路TCGCに記録され、それは1でインクリメントされ、その後メモリMEMに再度負荷される。後続するフラグは第1のフラグと同じ方法で得られ

る。

【0018】制御回路TCGCは本質的に既知のプログラム回路と同様に動作し、カウンタおよびプログラムメモリを必要とする。これらの回路に対してシーケンス数をインクリメントする加算器回路およびタイミングを与える既知の装置は付加されなければならない。

【0019】図3はATM試験セルを試験する評価回路ECの可能な実施例を示す。この評価回路ECは故障認識用の回路ERRC、例えばセルヘッダ認識用回路HIDC、セルタイプ認識用の回路TYPD、クロック回路LCTI、シーケンス数を決定する回路SEQEおよび相対的または絶対的な送信時間を決定する回路DELCを含む。

【0020】故障認識回路ERRCは、オクテットが互いに反転される関連した対において発生するか否かを検査する。したがって、メモリ、インバータおよび比較回路が各8ビットに対して要求される。ATM試験セル内において発生するエラーはカウントされ、このカウンタのカウンタ位置は信号ERRPATを構成する。別の信号が供給される：エラーがシーケンス数において発生したときERRSEQ、エラーが時間識別子において発生したときERRTIME、およびエラーがシーケンス数において発生したときERRIDである。信号ERRPATおよびERRIDはまたセルヘッダ認識HIDC用の回路に送信される。

【0021】いわゆるセルヘッダ認識回路HIDCは入来したセルの5バイトのセルヘッダを5バイトの基準セルと比較する。ヘッダバイトはそれぞれ以降PTと呼ばれる1対の上記のバイトを含み、試験または保守セルが関与した場合に付勢され、データセルの場合は付勢されない。それによって出力セルRECは：PTは付勢されたとき、およびヘッダユニットの5バイトだけでなく、MCTおよび/MCTバイトもまた等しいとき；或はPTが付勢されず、ヘッダの5バイトが等しいときに付勢される。セルRECが付勢された場合、入来したセルのシーケンス数は基準セルのそれと比較され、出力セルINSはそれによって次のときに付勢される：これらの接続数が異なり、入来したセルの接続数にエラーがないとき、最後に述べられた接続数が間違っており、信号ERRPATがさらに予め定められたしきい値を越えたとき。

【0022】セルタイプ認識用の回路TYPDは、タイプ1のセルとタイプ0のセルとを区別し、セルタイプを示す信号TYPEを生成する。シーケンス数を決定する回路SEQEは信号TYPEの関数として16ビット信号SEQNRとしてシーケンス数を取り出す。

【0023】相対的または絶対的な伝送時間DERLCを決定する回路DELCは、信号TYPEの関数としてセルから時間識別子TSを取り出し、クロック回路LCTIの局部時間LTIからそれを減算し、その出力において

10

20

30

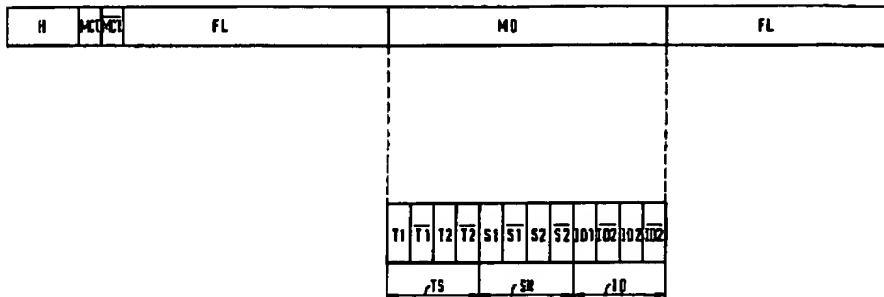
40

50

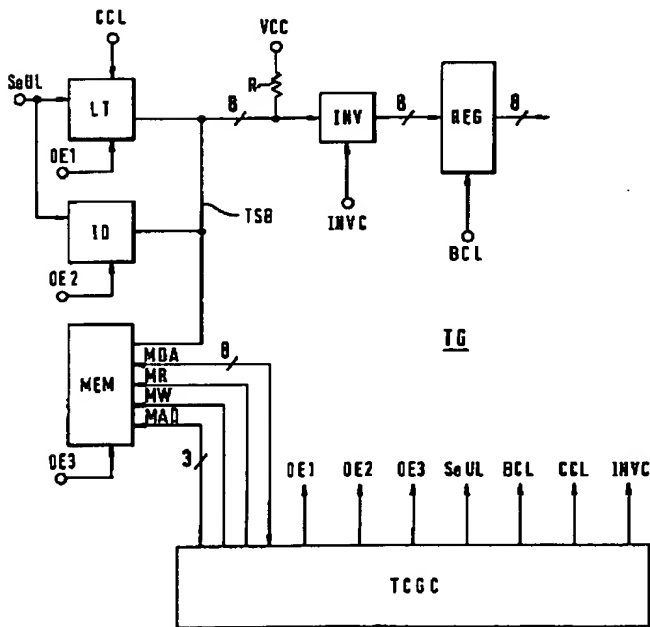
7

16ビット信号DLとして差を生成する。試験セル発生器T6中のクロック回路LTおよび評価回路中のクロックLCTIは同期してランセず、絶対伝送時間は得られない。しかしながら、一連の試験セルに対して相対的伝送時間の差はこの方法によって得られ、これは一般に伝送時間の絶対値よりかなり重要である。上記の発明によって、ATM接続の特性を試験する手段は全て提供される。

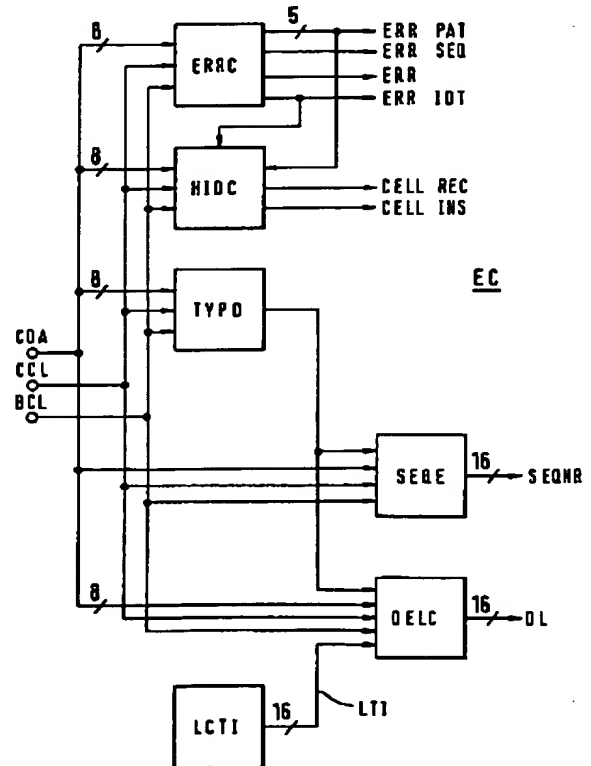
【図1】



【図2】



【図3】



【0024】本発明の原理は特定の装置と関連して上記に示されているが、この説明は単なる例示であり、本発明の技術的範囲を制限するものではないことが明らかに理解されるであろう。

【図面の簡単な説明】

【図1】本発明によるATM試験セルの構造図。

【図2】本発明による試験セル発生器のブロック図。

【図3】本発明による評価回路のブロック図。

フロントページの続き

(72)発明者 フランク・ロデウィーク・デニセン  
ベルギー国、ビー ー 2850 ボーム、フ  
ァン・レリウスラーン 243